

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-264296

(43)Date of publication of application : 07.10.1997

(51)Int.Cl. : F04D 29/30

(21)Application number : 08-073870

(71)Applicant : MITSUBISHI HEAVY IND LTD

(22)Date of filing : 28.03.1996

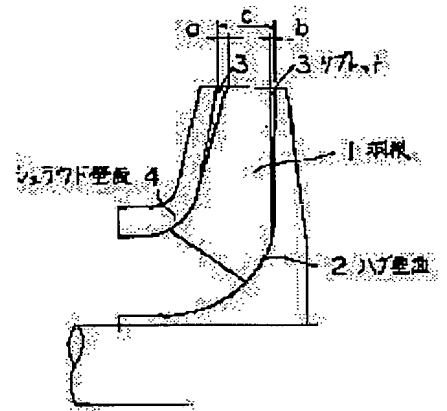
(72)Inventor : MASUTANI MINORU

(54) IMPELLER FOR ECCENTRIC FLUID MACHINERY

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a boundary layer from removing from the pressure surface side of a blade to a negative pressure surface side while crossing an inner side flow passage by providing with a riblet whose height is nearly equal to the thickness of the boundary layer of a side wall surface and which is made gradually larger as approaching to an impeller outlet, on the side wall surface of the inner side flow passage.

SOLUTION: Riblets 3 whose length is low and having a thickness of a boundary layer, are arranged along a main flow direction on a hub wall surface 2 and a shroud wall surface 4. The height of the riblet 3 is formed smaller or in 0 size on an inlet side matching with the thickness of the boundary layer, and it is made larger as approaching to an outlet from the inlet of the impeller. In the riblet 3, it is possible to the boundary layer from removing from the pressure surface side of the impeller 1 to a negative pressure surface side while crossing an inner side flow passage, and wind makes flow in the same direction as main flow. It is thus possible to prevent the boundary layer from enlarging, and also it is possible to improve efficiency of the impeller.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-264926

(43) 公開日 平成9年(1997)10月7日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	V
G 0 6 F 11/22	3 6 0		G 0 6 F 11/22	3 6 0 P
G 1 1 C 29/00	3 0 3		G 1 1 C 29/00	3 0 3 B
			G 0 1 R 31/28	G

審査請求 有 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平8-74083

(22) 出願日 平成8年(1996)3月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 尾崎 英晴

東京都港区芝五丁目7番1号 日本電気株式会社内

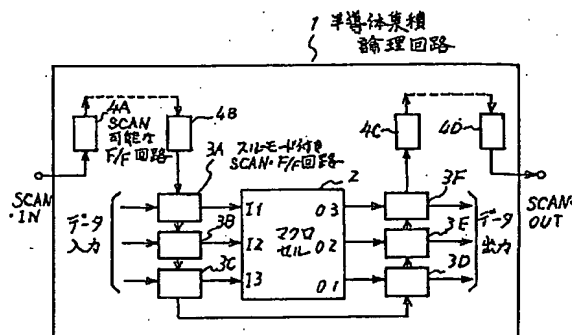
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積論理回路

(57) 【要約】

【課題】半導体集積論理回路1のスキャンバステスト用の端子を増やすことなく、マクロセルの入出力段の論理も確認し、テスト時間を短縮することにある。

【解決手段】論理回路1にスキャンバステスト可能なF/F回路4A~4Dを備え且つマクロセル2の入出力部にスルーモード付きSCAN・F/F回路3A~3Fを設け、F/F回路4A~4DとSCAN・F/F回路3A~3Fを縦続接続する。スキャンバステストのテストパターン作成時には、マクロセル2がないものとして作成するとともに、マクロセル2をテストするためのテストパターンを準備し、スキャンパターンの該当するF/F回路の値と置き換える。このテストパターンを使用してスキャンバステストを行うことにより、同時にマクロセル2のテストを完了させる。



【特許請求の範囲】

【請求項1】 入出力端子を備えた大規模マクロセルと、データを前記大規模マクロセルとの間で入出力するために、前記大規模マクロセルの前記入出力端子にそれぞれ接続されるとともに、相互に縦続接続することにより、前記データの入出力をスルーさせる機能を備えた複数のスルーモード付きスキャン・フリップフロップ回路と、縦続接続しシフトレジスタとして動作させる複数のスキャンテスト可能なフリップフロップ回路とを有し、通常動作時には前記複数のスルーモード付きスキャン・フリップフロップ回路のみにより前記データの入出力を行い、スキャンバステスト動作時には前記複数のスルーモード付きスキャン・フリップフロップ回路および前記複数のスキャンテスト可能なフリップフロップ回路を縦続接続して用いることを特徴とする半導体集積論理回路。

【請求項2】 前記前記複数のスルーモード付きスキャン・フリップフロップ回路は、それぞれ前記入出力データおよびテストデータを入出力するフリップフロップ部と、前記入力データおよび前記フリップフロップ部の前記出力データを選択して前記大規模マクロセルへ出力するセレクタとで形成した請求項1記載の半導体集積論理回路。

【請求項3】 前記スキャンバステストを行うテストパターンの作成にあたっては、前記大規模マクロセルの出力側に接続された前記複数のスルーモード付きスキャン・フリップフロップ回路の入力に不定信号が付加された状態のテストパターンを作成し、前記大規模マクロセルの入力側に接続された前記複数のスルーモード付きスキャン・フリップフロップ回路にかかわるテストパターンの各値を別途作成した前記大規模マクロセルをテストするためのテストパターンの入力の値で置換え且つ前記大規模マクロセルの出力側に接続された前記複数のスルーモード付きスキャン・フリップフロップ回路にかかわるテストパターン中の各値を前記別途作成した前記大規模マクロセルをテストするためのテストパターンの出力の値で置換えることによりテストする請求項1記載の半導体集積論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積論理回路に関し、特にスキャンバス・テスト機能を備えた半導体集積論理回路に関する。

【0002】

【従来の技術】 従来、半導体集積論理回路をテストする場合、回路の制御性を可能ならしめるとともに、観測性を向上させるために、いわゆるスキャンバステスト法が用いられている。

【0003】 しかしながら、このスキャンバステスト法も万能ではなく、集積回路にメモリ回路（RAM等）な

どの大規模マクロセルがあるときには、この集積回路のすべてをスキャンバステスト法でテストすることが困難であり、このような場合には、スキャンバステスト法と、別のテスト手法とを混在させざるを得ない。

【0004】 図4はこのような従来の一例を説明するための半導体集積論理回路のブロック図である。図4に示すように、大規模なマクロセル2を有する従来の半導体集積論理回路1aは、マクロセル2以外の通常の内部回路（図示省略）を試験するために、スキャンバス（以下、SCANと称す）テスト可能なフリップフロップ回路（以下、F/F回路と称す）4Aおよび4Dを備えている。これらF/F回路4Aおよび4Dは、スキャンバステスト時にSCANテスト入力端子SCAN・INおよびSCANテスト出力端子SCAN・OUT間に直列に接続され、内部回路などのテストを行う。この場合、SCAN・IN端子から内部の縦続接続されたF/F回路4A、4Dを直接外部から任意の値にセットしたり、あるいはF/F回路4A、4Dの値を直接SCAN・OUT端子で読むことが行われている。

【0005】 また、半導体集積論理回路1aは、大規模なマクロセル2をテストするにあたり、テストパターンを自動的に発生させるビルト・イン・セルフ回路（以下、BIST回路と称す）16を設けている。この場合、マクロセル用テスト入力から制御信号およびクロックをBIST回路16に供給するとともに、マクロセル用テスト入力からラッチOFF信号を供給する。このラッチOFF信号は、マクロセル2に対して通常のデータ入出力を行う際に用いる入力ラッチ回路14および出力ラッチ回路15をOFFさせるための信号である。BIST回路16はテスト入力からの制御信号に基づいてマクロセル2をアクセスし、読み出したデータが正常か否かの信号をマクロセル用テスト出力に供給する。この読み出された正常か否かの信号を集積回路外部でチェックすることにより、マクロセル2のテストが行われる。なお、このマクロセルテスト中は、他のデータ入出力を行わないように、入出力ラッチ回路14、15をOFFにしている。

【0006】 このように、従来の半導体集積論理回路1aをテストするにあたっては、通常の内部回路を試験するSCANテスト可能なF/F回路4Aおよび4Dを用いる一方、マクロセル2としてRAMなどのメモリ回路を有する場合には、一例としてBIST回路16を内蔵しておくといった処置が必要になっている。

【0007】

【発明が解決しようとする課題】 上述した従来のスキャンバステスト手法を採用した半導体集積論理回路が大規模マクロセルを備えているとき、大規模であるが故に、このマクロセルのテストに異なるテスト手法を用いざるを得ない。したがって、かかる場合には、スキャンバステスト手法に必要なテスト端子の他に、別のテスト用端

子を要するという欠点がある。

【0008】また、従来の半導体集積論理回路は、入力ラッチ回路の前段および出力ラッチ回路の後段の論理状態（正常か否か）についてみると、スキャンバステストでも、マクロセルのテストでも確認できないという欠点がある。

【0009】さらに、従来の半導体集積論理回路は、スキャンバステストで必要になるテストパターンと、このスキャンバステストとは異なるマクロセルテストなどのためのテストパターンとの両者を別々に使用することになるため、テスト時間が長くなるという欠点がある。

【0010】本発明の目的は、かかるテスト用の端子を増やすことなく、マクロセルの入出力段の論理も確認できるようにするとともに、テスト時間を短縮することのできる半導体集積論理回路を提供することにある。

【0011】

【課題を解決するための手段】本発明の半導体集積論理回路は、入出力端子を備えた大規模マクロセルと、データを前記大規模マクロセルとの間で入出力するために、前記大規模マクロセルの前記入出力端子にそれぞれ接続されるときに、相互に縦続接続することにより、前記データの入出力をスルーさせる機能を備えた複数のスルーモード付きスキャン・フリップフロップ回路と、縦続接続しシフトレジスタとして動作させる複数のスキャンテスト可能なフリップフロップ回路とを有し、通常動作時には前記複数のスルーモード付きスキャン・フリップフロップ回路のみにより前記データの入出力を行い、スキャンバステスト動作時には前記複数のスルーモード付きスキャン・フリップフロップ回路および前記複数のスキャンテスト可能なフリップフロップ回路を縦続接続して用いるように構成される。

【0012】また、本発明の半導体集積論理回路における前記複数のスルーモード付きスキャン・フリップフロップ回路は、それぞれ前記入出力データおよびテストデータを入出力するフリップフロップ部と、前記入力データおよび前記フリップフロップ部の前記出力データを選択して前記大規模マクロセルへ出力するセレクタとで構成される。

【0013】さらに、本発明の半導体集積論理回路におけるスキャンバステストを行うテストパターンの作成にあたっては、前記大規模マクロセルの出力側に接続された前記複数のスルーモード付きスキャン・フリップフロップ回路の入力に不定信号が付加された状態のテストパターンを作成し、前記大規模マクロセルの入力側に接続された前記複数のスルーモード付きスキャン・フリップフロップ回路にかかわるテストパターンの各値を別途作成した前記大規模マクロセルをテストするためのテストパターンの入力の値で置換え且つ前記大規模マクロセルの出力側に接続された前記複数のスルーモード付きスキャン・フリップフロップ回路にかかわるテストパターン

中の各値を前記別途作成した前記大規模マクロセルをテストするためのテストパターンの出力の値で置換えることによりテストするように構成される。

【0014】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0015】図1は本発明の一実施の形態を説明するための半導体集積論理回路のブロック図である。図1に示すように、この実施の形態による半導体集積論理回路1は、内部に存在する複数のフリップフロップ回路を縦続接続し、これらをシフトレジスタとして動作させることにより、スキャンバステストを行うことが可能のように構成するとともに、テストパターンの一部を置換えて大規模マクロセル2のテストも同時に実現するものである。

【0016】そのために、内部の複数のF/F回路、すなわちスキャンバステスト可能なF/F回路4A～4Dと、マクロセル2のデータ入出力部に接続されるスルーモード付きSCAN・F/F回路3A～3Fとを設け、スキャンバステストにあたっては、これらのF/F回路すべてを縦続接続してシフトレジスタとして動作させ且つスキャンバステストパターンを用いることにより、スキャンバスのテストを行い、また大規模マクロセル2のテストにあたっては、スキャンバステストパターンの一部をマクロセルテスト用パターンに置換し、前述したSCAN・F/F回路3A～3Fを用いて大規模マクロセル2のテストを行う。

【0017】特に、大規模マクロセル2の入出力部に設けるF/F回路3A～3Fは、マクロセル2の入力信号または出力信号を選択する機能を有するとともに、通常動作時にはスルーさせ、テスト動作時にはこれらのF/F回路3A～3Fを介して行われる。すなわち、これらのF/F回路3A～3Fは、スキャンバステスト可能なF/F回路4A～4Dの縦続接続バスに付加できるようになっている。

【0018】まず、大規模マクロセル2はデータを記憶し、入力端子I1～I3および出力端子O1～O3を備えている。この大規模マクロセル2の入力側（I1～I3）には、入力データを大規模マクロセル2へ出力するためのスルーモード付きSCAN・F/F回路3A～3Cが接続され、同様に大規模マクロセル2の出力側（O1～O3）には、大規模マクロセル2から読み出したデータを出力するためのスルーモード付きSCAN・F/F回路3D～3Fが接続されている。これら大規模マクロセル2およびF/F回路3A～3Fは、通常動作時に用いられる。

【0019】また、かかる論理回路1は、スルーモード付きSCAN・F/F回路3A～3Fのほかに、SCANテスト可能なF/F回路4A～4Dを設けており、これらF/F回路4A～4DはSCAN・IN端子および

SCAN・OUT端子間にスキャンバスを形成可能なため、SCAN・F/F回路3A~3Fとともに相互に縦続接続される。なお、これらF/F回路4A~4Dはスルーモード機能を持たない通常のフリップフロップ回路である。

【0020】要するに、通常動作時のマクロセル2の入出力は、スルーモード付きSCAN・F/F回路3A~3Fのスルーモードによりデータの入出力を行い、一方テスト動作時にはSCANテスト可能なF/F回路4A~4Dおよびスルーモード付きSCAN・F/F回路3A~3Fを縦続接続して用いる。

【0021】図2は図1に示すスルーモード付きSCAN・F/F回路図である。図2に示すように、このスルーモード付きSCAN・F/F回路3Aは、他のF/F回路3B~3Fと同様、クロック信号CLKで同期をとるとともに、通常使用時のデータを入力するデータ入力端子およびSCANテスト可能なF/F回路4Bからのテストパターンを入力するSCANIN端子を備え且つ通常使用時のデータを出力する出力端子Qおよびスルーモード付きSCAN・F/F回路3Bへテストパターンを出力するSCANOUT端子を備えたフリップフロップ部(F/F部)12と、データS1およびS2を切換えてマクロセル2に供給するセレクト13とを備えている。

【0022】通常動作時、データ入力S1はF/F部12をスルーしてセレクト13を介してマクロセル2へ入力される(F/F回路3Fでは、マクロセル2から出力される)。

【0023】また、SCANテスト時には、マクロセル2の入力端子I1に入力すべきデータ(値)をSCANINから入力し、シフトレジスタ動作によりF/F3AのF/F部12のSCAN・IN端子に入力し、出力S2、セレクト13を介して入力する。同様に、マクロセル2のO3出力は、F/F3Fを介し、シフトレジスタ動作により、SCAN・OUT端子へ出力される。また、前述した図1におけるデータ入力は、スルーモード付きSCAN・F/F回路3A~3Cに取り込まれ、シフトレジスタ動作により、SCAN・OUT端子へ出力される。

【0024】図3(a)~(c)はそれぞれは図1におけるSCAN・INテスト用パターン、SCAN・OUTテスト用パターンおよびマクロセルテスト用入出力パターンを表わす図である。

【0025】まず、図3(a)に示すように、SCAN・INテスト用パターン5は、マクロセル2がないものと仮定し、スキャンバステスト法を用いて作成されたスキャンバステストパターンである。このパターン中、F/F回路4A~4DおよびF/F回路3A~3Fの値は、スキャンバステストにおいて、縦続接続される各F/F回路のシフトイン時およびシフトアウト時の値であ

る。このSCAN・INテスト用パターン5では、マクロセル2がないものと仮定しているため、スキャンイン時のスルーモード付きSCAN・F/F回路3A~3Cの入力(セットする値)テストパターン6は不定(X印)となっている。

【0026】ついで、図3(b)に示すように、SCAN・OUTテスト用パターン7は、図3(a)と同様に、スキャンアウト時のスルーモード付きSCAN・F/F回路3D~3Fの出力テストパターン8は不定(X印)となっている。

【0027】さらに、図3(c)に示すように、マクロセル2をテストするためのマクロセルテスト用パターン9は、セル入力端子I1~I3に入力される入力テストパターン10とセル出力端子O1~O3から出力される出力テストパターン11とを示す。この入力テストパターン10は、マクロセル2をテストするための入力テストパターンであり、また出力テストパターン11は、同様にマクロセル2をテストするための出力テストパターンである。

【0028】このマクロセル2をテストするにあたっては、図3(a)のSCAN・INテスト用パターン5における端子3A、3B、3Cの値、すなわち入力テストパターン6を図3(c)の入力テストパターン10に置換え、図3(b)のSCAN・OUTテスト用パターン7における端子3D、3E、3Fの値、すなわち出力テストパターン8を図3(c)の出力テストパターン11に置換える。

【0029】このように、本実施の形態では、図3(a)、(b)に示すスキャンバステスト用のテストパターンの一部を図3(c)に示すマクロテスト用テストパターンで置換えることにより通常の論理回路とマクロセルとのテストを同時に且つマクロ用のテスト端子を準備することなく行うことができる。

【0030】通常の論理回路におけるスキャンバステストは、SCAN・IN端子よりテストデータを入力し、SCANテスト可能なF/F4A、4Bおよびスルーモード付きSCAN・F/F回路3D~3Fにテストデータをセットすることにより、論理回路を動作させ、SCAN・OUT端子よりSCANテスト可能なF/F4A、4Bおよびスルーモード付きSCAN・F/F回路3A~3Cの値を読み出す。これらの動作を繰り返すことにより、論理回路のテストを行う。この場合、図3(a)における入力テストパターン6を図3(c)における入力テストパターン10に、また図3(b)における出力テストパターン8を図3(c)における出力テストパターン11にそれぞれ置換えたテストパターンを使用すれば、スキャンイン時のスルーモード付きSCAN・F/F回路3A~3Cには、マクロセルテスト用パターン9の入力パターン10がセットされ、マクロセル2の入力端子I1~I3にテストデータが入力され

る。この結果、スキャンアウト時のスルーモード付きSCAN・F/F回路3D～3Fには、マクロセル2の出力端子01～03が入っているため、図3(a)中のテスト用パターン5の一部を置換したマクロ出力パターンを照会することができる。すなわち、図3(a)のテストパターン5の一部を図3(c)のテストパターン9で置き換えたテストパターンを使用すれば、半導体集積論理回路1の全体を同時にテストすることができる。

【0031】なお、図3(a)、(b)の一部である入力テストパターン6および出力テストパターン8を図3(c)のテストパターン9で置き換える場合、スキャンバステストパターンの方がマクロテストパターンよりも長いときには、不定パターンを埋めるか、またはマクロテストパターンを繰り返す。逆に、マクロテストパターンの方がスキャンバステストパターンより長いときにも、同様の処置をとればよい。

【0032】上述した実施の形態では、大規模マクロセルを1つの場合について説明したが、複数のマクロセルの場合もマクロセル自体を縦続接続することにより、同様にテストできることは、言うまでもない。また、かかる実施の形態では、複数のスルーモード付きSCAN・F/F回路を直接接続しているが、これらのスルーモード付きSCAN・F/F回路の間にSCANテスト可能なF/F回路を介して接続しても同様にテストを実現することができる。

【0033】

【発明の効果】以上説明したように、本発明の半導体集積論理回路は、スキャンバステスト可能なF/F回路の他に、マクロセルの入出力部にスルーモード機能を備えたF/F回路を設け、通常動作時にはこれらスルーモード機能を備えたF/F回路をスルーさせ、テスト動作時にのみスキャンバステスト可能なF/F回路と一緒に縦続接続させることにより、大規模マクロ用のテスト端*

*子を不要にできるという効果がある。

【0034】また、本発明の半導体集積論理回路は、スルーモード機能を備えたF/F回路を縦続接続するとともに、テストパターンを共通化できるように若干の修正を加えることにより、マクロセルの入出力段の論理も確認できる上、スキャンバステスト時に大規模マクロセルのテストをも同時に実施するので、テスト時間を短縮することのできるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態を説明するための半導体集積論理回路のブロック図である。

【図2】図1に示すスルーモード付きSCAN・F/F回路図である。

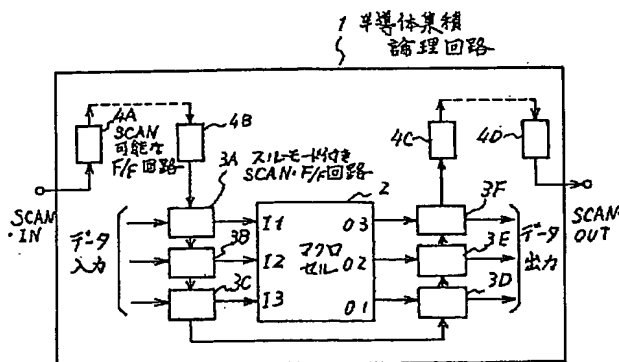
【図3】図1におけるSCAN・INテスト用パターン、SCAN・OUTテスト用パターンおよびマクロセルテスト用入出力パターンを表わす図である。

【図4】従来の一例を説明するための半導体集積論理回路のブロック図である。

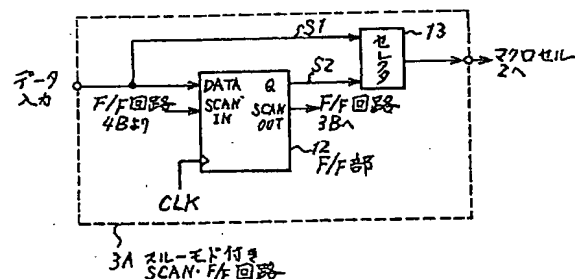
【符号の説明】

- | | |
|-------|--------------------|
| 1 | 半導体集積論理回路 |
| 2 | マクロセル |
| 3A～3F | スルーモード付きSCAN・F/F回路 |
| 4A～4D | SCANテスト可能なF/F回路 |
| 5 | SCAN・INテスト用パターン |
| 6 | 入力テストパターン |
| 7 | SCAN・OUTテスト用パターン |
| 8 | 出力テストパターン |
| 9 | マクロセルテスト用パターン |
| 10 | 入力テストパターン |
| 11 | 出力テストパターン |
| 12 | F/F部 |
| 13 | セレクタ |

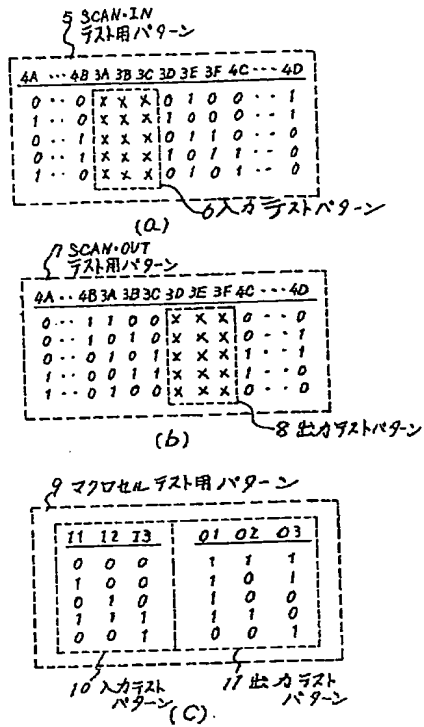
【図1】



【図2】



【図3】



【図4】

